

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of)	
)	
Tatsuo SENGOKU et al.)	Group Art Unit: Unassigned
)	
Application No.: Unassigned)	Examiner: Unassigned
)	
Filed: December 9, 2003)	Confirmation No.: Unassigned
)	
For: SEMICONDUCTOR INTEGRATED)	
CIRCUIT WITH SIMPLY)	
CONFIGURED TEMPERATURE)	
DETECTION CIRCUIT)	

SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Japanese Patent Application No. 2003-061017

Filed: March 7, 2003

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWECKER & MATHIS, L.L.P.

Date: December 9, 2003

By: 

Platon N. Mandros
Registration No. 22,124

P.O. Box 1404
Alexandria, Virginia 22313-1404
(703) 836-6620

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 3月 7日
March 7, 2003

出 願 番 号
Application Number:

特願2003-061017

ST.10/C]:

[JP2003-061017]

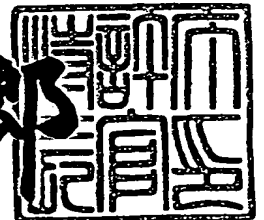
出 願 人
Applicant(s):

三菱電機株式会社
Mitsubishi Denki Kabushiki Kaisha

2003年 4月 4日
April 4, 2003

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎
Shinichiro Ota



出証番号 出証特2003-3023531
Shutsu-sho No. Shutsu-sho-toku 2003-3023531

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月 7日

出 願 番 号

Application Number:

特願2003-061017

[ST.10/C]:

[JP2003-061017]

出 願 人

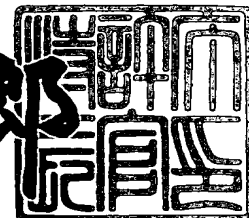
Applicant(s):

三菱電機株式会社

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3023531

【書類名】 特許願

【整理番号】 541631JP01

【提出日】 平成15年 3月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04
H01L 21/822
H03K 19/003

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 仙石 竜生

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 黒澤 飛斗矢

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 温度検出回路を備えた半導体集積回路であって、
前記温度検出回路は、
少なくとも 1 つの立ち上がりまたは立ち下がり部分を有する第 1 の信号を出力する信号出力回路と、
少なくとも 1 つのインバータからなり、前記第 1 の信号を遅延させた遅延信号を出力する遅延回路と、
前記第 1 の信号と、前記遅延信号とが入力される論理回路と、
前記論理回路の出力信号のパルス幅が、検出したい温度に対応する所定のパルス幅以上のときにアサートとなる信号を出力するパルス幅測定回路と、
前記パルス幅測定回路の出力信号をラッチするラッチ回路とを備え、
前記パルス幅測定回路は、前記論理回路の出力信号が入力される積分回路と、前記積分回路の出力信号が入力されるシュミットトリガ回路とを含み、前記シュミットトリガ回路のトリガ電位が前記所定のパルス幅に応じた値に設定されている、半導体集積回路。

【請求項 2】 前記遅延回路は、半導体集積回路の外部に配置されている、請求項 1 記載の半導体集積回路。

【請求項 3】 前記パルス幅測定回路は、半導体集積回路の外部に配置されている、請求項 1 記載の半導体集積回路。

【請求項 4】 温度検出回路を備えた半導体集積回路であって、
前記温度検出回路は、
少なくとも 1 つの立ち上がりまたは立ち下がり部分を有する第 1 の信号を出力する信号出力回路と、
少なくとも 1 つのインバータからなり、前記第 1 の信号を遅延させた遅延信号を出力する遅延回路と、
前記第 1 の信号と、前記遅延信号とが入力される論理回路と、
前記論理回路の出力信号のパルス幅に応じたデジタル値を温度を示すデータと

して出力するデジタルフィルタとを備えた半導体集積回路。

【請求項5】 温度検出回路を備えた半導体集積回路であって、

前記温度検出回路は、

少なくとも1つの立ち上がりまたは立ち下がり部分を有する第1の信号を出力する信号出力回路と、

各々が、少なくとも1つのインバータからなり、前記第1の信号を遅延させた遅延信号を出力する、直列に接続された複数個の遅延回路と、

各々が、対応する前記遅延回路から出力される前記遅延信号と、前記第1の信号とを受ける複数個の論理回路と、

各々が、対応する前記論理回路の出力信号のパルス幅が、検出したい温度に対応する所定のパルス幅以上のときにアサートとなる信号を出力する複数個のパルス幅測定回路と、

各々が、対応する前記パルス幅測定回路の出力信号をラッチする複数個のラッチ回路と、

前記複数個のラッチ回路のラッチ信号の論理値をカウントして、当該カウント値に応じたデータを温度を示すデータとして出力する温度特定回路を備えた半導体集積回路。

【請求項6】 温度検出回路を備えた半導体集積回路であって、

前記温度検出回路は、

少なくとも1つの立ち上がりまたは立ち下がり部分を有する第1の信号を出力する信号出力回路と、

各々が、少なくとも1つのインバータからなり、前記第1の信号を遅延させた遅延信号を出力する、直列に接続された複数個の遅延回路と、

各々が、対応する前記遅延回路から出力される前記遅延信号を受ける複数個のスイッチと、

前記第1の信号と、前記複数個のスイッチのうち、導通しているスイッチから出力される前記遅延信号とが入力される論理回路と、

前記論理回路の出力信号のパルス幅が、検出したい温度に対応する所定のパルス幅のときにアサートとなる信号を出力するパルス幅測定回路と、

前記パルス幅測定回路の出力信号をラッチするラッチ回路と、

前記複数個のスイッチのうち、前記複数個の遅延回路のうち前段に位置する遅延回路に対応するスイッチから、当該スイッチのみを順次導通させ、前記アサートとなるラッチ信号が最初に検出されたスイッチの番号に応じたデータを温度を示すデータとして出力する温度特定回路とを備えた半導体集積回路。

【請求項 7】 前記半導体集積回路は、さらに、

前記温度を示すデータをシリアルデータにして出力する U A R T 回路を含む、請求項 1、4、5、および 6 のいずれか 1 項に記載の半導体集積回路。

【請求項 8】 前記半導体集積回路は、さらに、

前記温度を示すデータが所定値以上のときに、内部の回路の状態を初期状態にもどす制御回路を含む、請求項 1、4、5、および 6 のいずれか 1 項に記載の半導体集積回路。

【請求項 9】 前記半導体集積回路は、さらに

前記温度を示すデータが所定値以上のときに、内部の回路に割込み処理を実行させる制御回路を含む、請求項 1、4、5、および 6 のいずれか 1 項に記載の半導体集積回路。

【請求項 10】 前記半導体集積回路は、

前記温度を示すデータが所定値以上のときに、内部クロックを低周波数にする制御回路を含む、請求項 1、4、5、および 6 のいずれか 1 項に記載の半導体集積回路。

【請求項 11】 前記半導体集積回路は、

前記温度を示すデータが所定値以上のときに、内部電源電位を低電位にする制御回路を含む、請求項 1、4、5、および 6 のいずれか 1 項に記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に関し、特に、半導体集積回路の温度検出技術、または当該温度検出に基づく制御技術に関する。

【0002】

【従来の技術】

半導体集積回路では、温度変化によりトランジスタなどの駆動能力が低下するため、性能が劣化するという問題がある。

【0003】

これに対して、特許文献1では、インバータの伝送遅延時間が温度変化により変化することを利用した温度検出回路が開示されている。

【0004】

これによって、半導体集積回路の内部の温度を検出することができる。

【0005】

【特許文献1】

特開平7-249739号公報

【0006】

【発明が解決しようとする課題】

しかしながら、特許文献1に記載されている温度検出回路は、複数個のトランスマッションゲートを接続して構成されるものなので、その構成が複雑である。

【0007】

また、特許文献1に記載されている温度検出回路では、検知する温度の範囲を複数個のうちから選択できるようにするためには、特許文献1の図4に示されるように、複数のルートに対してインバータを設けている。しかしながら、検知する温度の範囲を選択すると、選択した温度の範囲に対応するルートが選択されて、そのルート内のインバータが使われるが、その他のルート内のインバータは、無用である。つまり、このような冗長性のため、回路の規模が大きくなる。

【0008】

それゆえに、本発明の目的は、簡易な構成で温度を検出することができる半導体集積回路を提供することである。

【0009】

【課題を解決するための手段】

上記課題を解決するために、この発明に係わる半導体集積回路は、温度検出回

路を備えた半導体集積回路であって、温度検出回路は、少なくとも1つの立ち上がりまたは立ち下がり部分を有する第1の信号を出力する信号出力回路と、複数段のインバータからなり、第1の信号を遅延させた遅延信号を出力する遅延回路と、第1の信号と、遅延信号とが入力される論理回路と、論理回路の出力信号のパルス幅が、検出したい温度に対応する所定のパルス幅以上のときにアサートとなる信号を出力するパルス幅測定回路と、パルス幅測定回路の出力信号をラッチするラッチ回路とを備え、パルス幅測定回路は、論理回路の出力信号が入力される積分回路と、積分回路の出力信号が入力されるシュミットトリガ回路とを含み、シュミットトリガ回路のトリガ電位が所定のパルス幅に応じた値に設定されている。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。

【0011】

＜第1の実施形態＞

本実施の形態は、簡易な構成の温度検出回路を含むマイクロコンピュータに関する。

【0012】

図1は、第1の実施形態に係るマイクロコンピュータの構成を示す。同図を参照して、このマイクロコンピュータ22は、温度検出回路21aと、レジスタ（REG）10とを含む。なお、図示しないが、マイクロコンピュータ22は、これら以外にも、CPUなど用途に応じた構成要素を含む。

【0013】

図2は、第1の実施形態に係る温度検出回路21aの構成を示す。同図を参照して、この温度検出回路21aは、クロック分周回路1と、遅延回路85と、EXOR回路4と、パルス幅測定回路5と、ラッチ回路（LAT）6とを含む。

【0014】

クロック分周回路1は、温度検出回路21aの外部から供給される外部クロックを分周して、分周クロックを出力する。

【0015】

遅延回路85は、インバータ2および3からなる。クロック分周回路1より出力された分周クロックは、これらのインバータを通過することによって遅延し、遅延回路85から遅延分周クロックが出力される。

【0016】

EXOR回路4は、クロック分周回路1から出力される分周クロックと、遅延回路85から出力される遅延分周クロックとのEXOR (EXclusive OR) 演算を行ない、演算結果を出力する。

【0017】

パルス幅測定回路5は、EXOR回路4から出力される出力信号のパルスの幅が所定値以上のときに、「H」レベル（アサート）の信号を出力し、出力信号のパルスの幅が所定値未満のときに、「L」レベル（ネゲート）の信号を出力する。

【0018】

図3は、パルス幅測定回路5の構成を示す。同図を参照して、EXOR回路4から出力された出力信号は、抵抗RとコンデンサCからなるCR積分回路によって、波形が鈍らせられる。CMOSインバータCM1の閾値電位 V_{th1} は、トリガ電位であり、CMOSインバータCM2の閾値電位 V_{th2} よりも大きいとする。

【0019】

S1点の電位が閾値 V_{th1} よりも大きいときには、CMOSインバータCM1とCMOSインバータCM2の出力電位は、いずれも「L」レベルとなる。このときには、PMOSトランジスタP3がオンとなり、NMOSトランジスタN3がオフとなるので、S2点の電位は、「H」レベルとなる。

【0020】

その後、S1点の電位が V_{th1} 以下となったときには、CMOSインバータCM1の出力電位は、「H」レベルとなるが、CMOSインバータCM2の出力電位は、「L」レベルのままである。このときには、PMOSトランジスタP3がオフとなるが、NMOSトランジスタN3はオフのままなので、S2点の電位

は、「H」レベルのままである。

【0021】

その後、S1点の電位が V_{th2} 以下となったときには、CMOSインバータCM1とCMOSインバータCM2の出力電位は、いずれも「H」レベルとなる。このときには、PMOSトランジスタP3がオフとなり、NMOSトランジスタN3がオンとなるので、S2点の電位は、「L」レベルとなる。

【0022】

2つのインバータIV1、IV2からなる双安定回路120は、S2点の電位を保持するとともに、ラッチ回路6へ出力する。

【0023】

以上のように、パルス幅測定回路5は、入力信号に対して、値が増加するときと、減少するときとで、基準となる閾値電圧が異なるヒステリシス特性を有する。CMOSインバータCM1の閾値電位 V_{th1} 、つまり、トリガ電位は、EXOR回路4から出力された出力信号のパルスの幅が所定のパルス幅以上のときに、双安定回路120が「H」を出力し、EXOR回路4から出力された出力信号のパルスの幅が所定のパルス幅未満のときに、双安定回路120が「L」を出力するように設定されている。

【0024】

図4(a)は、温度変化が小さいときの各信号または電位の変化を示す。

クロック分周回路1からは、同図(1)に示すように分周クロックが出力される。

【0025】

遅延回路85からは、同図(2)に示すような遅延分周クロックが出力される。温度変化が小さいので、遅延時間 Δt_a は小さい。

【0026】

EXOR回路4からは、同図(3)に示すような出力信号が出力される。遅延時間 Δt_a が小さいので、出力信号のパルスの幅 W_a は小さい。

【0027】

パルス幅測定回路5内の、CR積分回路によって、EXOR回路4の出力信号

のパルスの波形が鈍らされた結果、パルス幅測定回路 5 の S 1 点の電位は、同図 (4) に示すような電位となる。出力信号のパルスの幅 W_a が小さいので、S 1 点の最大電位 $Max V_a$ は低く、この最大電位 $Max V_a$ は、トリガ電位である CMOS インバータ CM 1 の閾値電位 V_{th1} に届かない。

【0028】

パルス幅測定回路 5 からは、同図 (5) に示すような信号が出力される。S 1 点の最大電位 $Max V_a$ が、CMOS インバータ CM 1 の閾値電位 V_{th1} 以下なので、パルス幅測定回路 5 は、「L」レベルを出力する。

【0029】

図 4 (b) は、温度変化が大きいときの各信号または電位の変化を示す。

クロック分周回路 1 からは、同図 (1) に示すように分周クロックが出力される。

【0030】

遅延回路 8 5 からは、同図 (2) に示すような遅延分周クロックが出力される。温度変化が大きいので、遅延時間 Δt_b は大きい。

【0031】

EXOR 回路 4 からは、同図 (3) に示すような出力信号が出力される。遅延時間 Δt_b が大きいので、出力信号のパルスの幅 W_b は大きい。

【0032】

パルス幅測定回路 5 内の、CR 積分回路によって、EXOR 回路 4 の出力パルスの波形が鈍らされた結果、パルス幅測定回路 5 の S 1 点の電位は、同図 (4) に示すような電位となる。出力信号のパルスの幅 W_b が大きいので、S 1 点の最大電位 $Max V_b$ は高く、この最大電位 $Max V_b$ は、トリガ電位である CMOS インバータ CM 1 の閾値電位 V_{th1} を越える。

【0033】

パルス幅測定回路 5 からは、同図 (5) に示すような信号が出力される。パルス幅測定回路 5 のヒステリシス特性より、S 1 点の電位が、CMOS インバータ CM 1 の閾値電位 V_{th1} を越えた後、CMOS インバータ CM 2 の閾値電位 V_{th2} よりも小さくなるまでの間、パルス幅測定回路 5 は、「H」レベルのパル

スを出力する。

【0034】

ラッチ回路6は、パルス幅測定回路5から「H」レベルの信号が出力されたときには、「H」をラッチする。パルス幅測定回路5から「H」レベルの信号が出力されないとき、つまり、常に「L」レベルのときには、「L」をラッチする。

【0035】

レジスタ10は、ラッチ信号を保持する。レジスタ10内のラッチ信号は、図示しない読出し信号に応答して、出力端子を介して外部へ平行に出力される。これによって、外部の周辺回路にマイクロコンピュータ内部の温度を通知したり、外部の表示回路で温度を表示したりすることができる。外部の周辺回路では、高温を検出すると、冷却装置を駆動させ、低温を検出すると、ヒータを駆動させるようなことが可能となる。また、外部の周辺回路では、フェイルセーフ機能として、動作温度範囲の広い低級制御回路に切替えることも可能となる。

【0036】

以上のように、本実施の形態に係るマイクロコンピュータによれば、パルス幅測定回路は、CR積分回路とシュミットトリガ回路で構成されるので、簡易な構成でマイクロコンピュータ内部の温度を検出することができる。

【0037】

なお、遅延回路は、1例として2つのインバータを含むものとしたが、検出したい温度に合わせた数であってもよい。

【0038】

＜第2の実施形態＞

本実施の形態は、分周クロックの代りにレジスタからの立ち上がり信号を用いて、温度検出を行なう温度検出回路を含むマイクロコンピュータに関する。

【0039】

図5は、第2の実施形態に係る温度検出回路の構成を示す。同図を参照して、この温度検出回路21bは、第1の実施形態に係る温度検出回路21aにおけるクロック分周回路1の代りに、レジスタ12を含む。

【0040】

レジスタ12は、論理値「1」のデータを保持し、温度を検出するときのみ外部からの制御信号に応答して、立ち上がり信号を出力する。

【0041】

図6は、各信号または電位の変化を示す。レジスタ12からは、同図(1)に示すような立ち上がり信号が出力される。遅延回路85からは、同図(2)に示すような遅延信号が出力される。EXOR回路4からは、同図(3)に示すような出力パルスが出力される。パルス幅測定回路5のS1点の電位は、同図(4)に示すような電位となる。パルス幅測定回路5からは、同図(5)に示すような信号が出力される。

【0042】

以上のように、本実施の形態に係るマイクロコンピュータによれば、温度を検出するときのみ、レジスタ12、遅延回路85、パルス幅測定回路5、およびラッチ回路6が動作するので、温度を検出しないときの消費電流を低減することができる。

【0043】

なお、本実施の形態では、レジスタ12は、立ち上がり信号を出力するものとしたが、立下がり信号を出力するものであってもよい。

【0044】

<第3の実施形態>

本実施の形態は、遅延回路をマイクロコンピュータの外部に設けた温度検出回路を含むマイクロコンピュータに関する。

【0045】

図7は、第3の実施形態に係る温度検出回路の構成を示す。同図を参照して、この温度検出回路21cは、マイクロコンピュータの外部に配置される外部回路15と、マイクロコンピュータの内部に配置される内部回路15とを含む。

【0046】

外部回路16は、遅延回路85で構成される。

内部回路15は、クロック分周回路1と、EXOR回路4と、パルス幅測定回路5と、ラッチ回路6とを含む。

【0047】

外部回路16と内部回路15とは、端子103および104を通じて接続される。

【0048】

遅延回路85は、端子103を通じて送られる分周クロックを遅延させた遅延分周クロックを、端子104を通じてEXOR回路4に送る。遅延回路85は、マイクロコンピュータの外部に配置されているので、マイクロコンピュータの外部の温度に応じた遅延量の遅延クロックを出力する。

【0049】

内部回路15内のクロック分周回路1、EXOR回路4、パルス幅測定回路5、およびラッチ回路6は、第1の実施形態と同様に動作する。

【0050】

以上のように、本実施の形態に係るマイクロコンピュータによれば、遅延回路85をマイクロコンピュータの外部に設けることにしたので、マイクロコンピュータの外部の温度を検出することができるので、マイクロコンピュータ外部の温度に起因するマイクロコンピュータ内部の温度変化を事前に検知することができ、マイクロコンピュータ内部の温度変化が生じる前に、対応処理を行なうことが可能となる。

【0051】

また、遅延回路85は、マイクロコンピュータの外部にあるので、外部で遅延回路85を構成するインバータの数を調整することによって、遅延回路16による遅延クロックの遅延量を任意の値に設定することができる。

【0052】

＜第4の実施形態＞

本実施の形態は、パルス幅測定回路をマイクロコンピュータの外部に設けた温度検出回路を含むマイクロコンピュータに関する。

【0053】

図8は、第4の実施形態に係る温度検出回路の構成を示す。同図を参照して、この温度検出回路21dは、マイクロコンピュータの外部に配置される外部回路

9と、マイクロコンピュータの内部に配置される内部回路18とを含む。

【0054】

外部回路9は、パルス幅検出回路5で構成される。

内部回路18は、クロック分周回路1と、遅延回路85と、EXOR回路4と、パルス幅測定回路5と、ラッチ回路6とを含む。

【0055】

外部回路9と内部回路18とは、端子101および102を通じて接続される。

【0056】

内部回路18内のクロック分周回路1、EXOR回路4、遅延回路85、およびラッチ回路6は、第1の実施形態と同様に動作する。

【0057】

パルス幅検出回路5は、EXOR回路4から出力されて端子101を通じて入力される出力信号のパルスが所定のパルス幅以上のときには、「H」となり、所定のパルス幅未満のときには、「L」となるデータを端子102を通じてラッチ回路6に出力する。

【0058】

以上のように、本実施の形態に係るマイクロコンピュータによれば、パルス幅測定回路5をマイクロコンピュータの外部に設けることにしたので、出力信号の値を定める所定のパルス幅を変更することが容易になり、検出すべき温度の範囲を任意の値に容易に設定することができる。

【0059】

＜第5の実施形態＞

本実施の形態は、デジタルフィルタを用いて温度検出を行なう温度検出回路を含むマイクロコンピュータに関する。

【0060】

図9は、第5の実施形態に係る温度検出回路の構成を示す。同図を参照して、この温度検出回路21eは、図2に示す第1の実施形態に係る温度検出回路21aにおけるパルス幅測定回路5およびラッチ回路6の代りに、デジタルフィルタ

11を含む。

【0061】

デジタルフィルタ11は、EXORゲート4から出力される出力信号のパルスの幅をデジタル値に変換して図1のレジスタ10に出力する。デジタルフィルタ11によって、パルス幅測定回路と比べて、温度を詳細に検知することができる。

【0062】

以上のように、本実施の形態に係るマイクロコンピュータによれば、パルス幅測定回路5およびラッチ回路6の代りにデジタルフィルタ11を用いるので、素子数を少なくすることができるとともに、温度をより詳細に検知することができる。

【0063】

＜第6の実施形態＞

本実施の形態は、簡易な構成で温度を検出する温度検出回路を含むマイクロコンピュータに関する。

【0064】

図10は、第6の実施形態に係る温度検出回路の構成を示す。同図を参照して、この温度検出回路21fは、クロック分周回路1と、複数個の遅延回路85a～nと、複数個のEXOR回路4a～nと、複数個のパルス幅測定回路5a～nと、複数個のラッチ回路(LAT)6a～nとを含む。これらの各構成要素は、第1の実施形態で説明した構成要素と、同様の構成であり、同様に動作する。

【0065】

クロック分周回路1は、温度検出回路21gの外部から供給される外部クロックを分周して、分周クロックを出力する。

【0066】

遅延回路85a～nは、それぞれ、インバータ2および3からなり、直列に接続される。クロック分周回路1より出力された分周クロックは、これらのインバータを通過することによって遅延し、遅延回路85a～nから、それぞれ遅延分周クロックが出力される。

【0067】

EXOR回路4a～nは、それぞれ、遅延回路85a～nに対応して設けられ、クロック分周回路1から出力される分周クロックと、対応する遅延回路85a～nから出力される遅延分周クロックとのEXOR (EXclusive OR) 演算を行ない、演算結果を出力する。

【0068】

パルス幅測定回路5a～nは、それぞれ、対応するEXOR回路4から出力される出力信号のパルスの幅が所定値以上のときに、「H」レベルの信号を出力し、出力信号のパルスの幅が所定値未満のときに、「L」レベルの信号を出力する。

【0069】

ラッチ回路6a～nは、それぞれ、対応するパルス幅測定回路5a～nから「H」レベルの信号が出力されたときには、「H」をラッチする。パルス幅測定回路5a～nから「H」レベルの信号が出力されないとき、つまり、常に「L」レベルのときには、「L」をラッチする。

【0070】

図11は、ラッチ回路6a～nにラッチされている信号の値を示す。図11(a)は、温度変化 Δt_1 のときに、ラッチ回路6a～nにラッチされている信号の値を示し、図11(b)は、温度変化 Δt_2 ($> \Delta t_1$) のときに、ラッチ回路6a～nにラッチされている信号の値を示す。同図に示すように、温度変化が小さいときには、ラッチ信号が「H」となるラッチ回路は、後段のもの(図10において右側)に限られる。

【0071】

これは、温度変化が小さいときには、多数の遅延回路を経て遅延されたときにはじめて、パルス幅測定回路に入力される信号のパルスの幅が所定値以上となるが、温度変化が大きいときには、少数の遅延回路で遅延されても、パルス幅測定回路に入力される信号のパルスの幅が所定値以上となるからである。

【0072】

温度特定回路84は、ラッチ信号の値が「H」であるラッチ回路の総数をカウ

ントし、このカウント値を温度を示すデータとして図 1 に示すレジスタ 1 0 に格納する。

【 0 0 7 3 】

レジスタ 1 0 に格納されたカウント値は、図示しない読出し信号に応答して、出力端子を介して外部へ平行に出力される。これによって、外部の周辺回路にマイクロコンピュータ内部の温度を通知したり、外部の表示回路で温度を表示したりすることができる。

【 0 0 7 4 】

以上のように、本実施の形態に係るマイクロコンピュータによれば、冗長部分を有することなく、簡易な構成で、温度を詳細に検知することができる。

【 0 0 7 5 】

なお、本実施の形態では、温度特定回路 8 4 は、ラッチ信号の値が「H」であるラッチ回路の総数をカウントし、カウント値をレジスタ 1 0 に格納するものとしたが、これに限定するものではない。たとえば、温度特定回路 8 4 は、カウント値と温度との対応を定めた対応表を記憶しておく。この対応表は、カウント値が大きいほど、温度が大きくなるように対応づけられている。温度特定回路 8 4 は、この対応表を参照して、ラッチ信号の値が「H」であるラッチ回路の総数をカウントし、このカウント値に対応する温度を特定して、この温度をレジスタ 1 0 に格納するものとしてもよい。

【 0 0 7 6 】

< 第 7 の実施形態 >

本実施の形態は、簡易な構成で温度を検出する温度検出回路を含むマイクロコンピュータに関する。

【 0 0 7 7 】

図 1 2 は、第 7 の実施形態に係る温度検出回路の構成を示す。同図を参照して、この温度検出回路 2 1 g は、クロック分周回路 1 と、複数個の遅延回路 8 5 a ~ n と、複数個のスイッチ 7 a ~ n と、E X O R 回路 4 と、パルス幅測定回路 5 と、ラッチ回路 (L A T) 6 とを含む。これらの各構成要素は、第 1 の実施形態で説明した構成要素と、同様の構成であり、同様に動作する。

【0078】

クロック分周回路1は、温度検出回路21gの外部から供給される基準クロックを分周して、分周クロックを出力する。

【0079】

遅延回路85a～nは、それぞれ、インバータ2および3からなり、直列に接続される。クロック分周回路1より出力された分周クロックは、これらのインバータを通過することによって遅延し、遅延回路85a～nから、それぞれ遅延分周クロックが出力される。

【0080】

複数個のスイッチ7a～nは、それぞれ、対応する遅延回路からの遅延分周クロックが入力される。複数個のスイッチ7a～nのうち、1つのみが選択されてオンになる。

【0081】

EXOR回路4には、クロック分周回路1から出力される分周クロックと、オンになっているスイッチを通じて1段または複数段の遅延回路を経て遅延された遅延分周クロックとが入力され、これらのクロックのEXOR (EXclusive OR) 演算を行ない、演算結果を出力する。

【0082】

どのスイッチがオンになったかに応じて、EXOR回路4に入力される遅延分周クロックの遅延時間が変化し、その結果、EXOR回路4から出力される出力信号のパルスの幅が変化する。

【0083】

パルス幅測定回路5は、EXOR回路4から出力される出力パルスの幅が所定値以上のときに、「H」レベルの信号を出力し、出力パルスの幅が所定値未満のときに、「L」レベルの信号を出力する。

【0084】

ラッチ回路6は、パルス幅測定回路5から「H」レベルの信号が出力されたときには、「H」をラッチする。パルス幅測定回路5から「H」レベルの信号が出力されないとき、つまり、常に「L」レベルのときには、「L」をラッチする。

【0085】

温度特定回路86は、図12において左側のスイッチから順次オンにし、（その他のスイッチをオフにする）にし、ラッチ回路6でラッチされた信号がはじめて「H」となったときに、そのときにオンになっているスイッチの番号を特定し、当該スイッチ番号を温度を示すデータとして図1のレジスタ10に格納する。

【0086】

以上のように、本実施の形態に係るマイクロコンピュータによれば、冗長部分を有することなく、簡易な構成で、温度を詳細に検知することができる。

【0087】

なお、本実施の形態では、温度特定回路86は、ラッチ信号の値がはじめて「H」となったときに、オンになっているスイッチの番号をレジスタ10に格納するものとしたが、これに限定するものではない。たとえば、温度特定回路86は、スイッチ番号と温度との対応を定めた対応表を記憶しておく。この対応表は、図12において左側にあるスイッチのスイッチ番号ほど、温度が大きくなるように対応づけられている。温度特定回路86は、この対応表を参照して、ラッチ信号の値がはじめて「H」となったときに、オンになっているスイッチ番号を特定し、このスイッチ番号に対応する温度を特定して、この温度をレジスタ10に格納するものとしてもよい。

【0088】

<第8の実施形態>

本実施の形態は、周辺機器へ温度を通知するマイクロコンピュータに関する。

【0089】

図13は、第8の実施形態に係るマイクロコンピュータの構成を示す。同図を参照して、このマイクロコンピュータ32は、第7の実施形態に係る温度検出回路21gと、レジスタ10と、UART (Universal Asynchronous Receiver Transmitter) 回路23とを含む。

【0090】

UART回路23は、レジスタ10からパラレルに送られてくる温度データを

シリアルデータに変換して、出力端子 91 から外部の周辺機器へ出力する。

【0091】

以上のように、本実施の形態に係るマイクロコンピュータによれば、シリアル通信によって、データのやりとりを行なう周辺機器に温度を通知することができる。

【0092】

なお、本実施の形態では、温度検出回路として第7の実施形態に係る温度検出回路を用いたが、これに限定するものではなく、第1～第6の実施形態に係る温度検出回路であってもよい。

【0093】

＜第9の実施形態＞

本実施の形態は、温度が所定値以上のときに、リセット処理を行なうマイクロコンピュータに関する。

【0094】

図14は、第9の実施形態に係るマイクロコンピュータの構成を示す。同図を参照して、このマイクロコンピュータ42は、第7の実施形態に係る温度検出回路21gと、リセット制御回路19とを含む。

【0095】

リセット制御回路19は、温度検出回路21gから送られてくる信号のレベルが所定レベル以上となったときには、マイクロコンピュータによる正常な動作が期待できないので、マイクロコンピュータ内の各回路にリセット信号を送り、各回路の状態を初期状態にもどさせる。

【0096】

以上のように、本実施の形態に係るマイクロコンピュータによれば、マイクロコンピュータの動作保証温度を越える温度が検出された場合に、マイクロコンピュータは正常に動作していない蓋然性が高いので、マイクロコンピュータ内の各回路をリセットさせることで、各回路の状態を初期状態にもどさせることができる。

【0097】

なお、本実施の形態では、温度検出回路として第 7 の実施形態に係る温度検出回路を用いたが、これに限定するものではなく、第 1 ～第 6 の実施形態に係る温度検出回路であってもよい。

【0098】

＜第 1 0 の実施形態＞

本実施の形態は、温度が所定値以上のときに、割込み処理を行なうマイクロコンピュータに関する。

【0099】

図 1 5 は、第 1 0 の実施形態に係るマイクロコンピュータの構成を示す。同図を参照して、このマイクロコンピュータ 5 2 は、第 7 の実施形態に係る温度検出回路 2 1 g と、割込み制御回路 2 0 と、CPU 9 7 とを含む。

【0100】

割込み制御回路 2 0 は、温度検出回路 2 1 g から送られてくる信号のレベルが所定レベル以上となったときには、マイクロコンピュータによる正常な動作が期待できないので、マイクロコンピュータ内の CPU 9 7 に割込み信号を送り、CPU 9 7 に割込み処理を行なわせる。

【0101】

マイクロコンピュータ内の CPU 9 7 では、割込み信号を受けると、実行中のプログラムを終了するとともに、プログラムの実行を中止した旨のメッセージを表示する終了メッセージ表示プログラムを実行する。

【0102】

以上のように、本実施の形態に係るマイクロコンピュータによれば、マイクロコンピュータの動作保証温度を越える温度が検出された場合に、マイクロコンピュータは正常に動作していない蓋然性が高いので、CPU に、割込み処理を行なわせることができる。

【0103】

なお、本実施の形態では、CPU は、割込み信号を受けると、実行中のプログラムを終了し、および終了メッセージ表示プログラムを実行したが、これに限定するものではない。たとえば、内部電源回路に割込み処理信号を送り、内部電

源回路では、割込み信号を受けると、電源をオフにするものとしてもよい。あるいは、クロック分周回路に割込み信号を送り、クロック分周回路では、割込み信号を受けると、分周比を低周波数のクロックを出力するように変更するものとしてもよい。

【0104】

なお、本実施の形態では、温度検出回路として第7の実施形態に係る温度検出回路を用いたが、これに限定するものではなく、第1～第6の実施形態に係る温度検出回路であってもよい。

【0105】

<第11の実施形態>

本実施の形態は、温度検出回路による検出結果に応じて、動作クロックを制御するマイクロコンピュータに関する。

【0106】

図16は、第11の実施形態に係るマイクロコンピュータの構成を示す。同図を参照して、このマイクロコンピュータ62は、第7の実施形態に係る温度検出回路21gと、クロック分周回路95と、分周制御回路24とを含む。

【0107】

分周制御回路24は、温度検出回路21gから送られてくる温度データに応じた分周比をクロック分周回路95へ出力する。すなわち、分周制御回路24は、温度変化 Δt が $0 \leq \Delta t < \alpha$ のときには、分周比1を出力し、 $\alpha \leq \Delta t < \beta$ のときには、分周比2を出力し、 $\beta \leq \Delta t < \gamma$ のときには、分周比4を出力する。つまり、温度変化が大きいほど、マイクロコンピュータは、高周波数のクロックで動作させると、動作が不安定になるので、低周波数のクロックで動作させる。

【0108】

クロック分周回路95は、分周制御回路24からの分周比に基づいて、外部から供給される外部クロックを分周して、分周クロックをマイクロコンピュータの動作クロックとして出力する。

【0109】

以上のように、本実施の形態に係るマイクロコンピュータによれば、温度検出

回路により検出された温度に応じて、適切な周波数のクロックを動作クロックとして選択することができる。

【0 1 1 0】

なお、クロック分周回路 9 5 の代りに、低速、低消費、ウェイト、またはストップモードに移行させる移行回路を設けるものとしてもよい。

【0 1 1 1】

なお、本実施の形態では、温度検出回路として第 7 の実施形態に係る温度検出回路を用いたが、これに限定するものではなく、第 1 ～ 第 6 の実施形態に係る温度検出回路であってもよい。

【0 1 1 2】

＜第 1 2 の実施形態＞

本実施の形態は、マイクロコンピュータに関する。

【0 1 1 3】

図 1 7 は、第 1 2 の実施形態に係るマイクロコンピュータの構成を示す。同図を参照して、このマイクロコンピュータ 7 2 は、第 7 の実施形態に係る温度検出回路 2 1 g と、VDC (Voltage Down Converter) 制御回路 2 5 と、VDC 回路 9 3 とを含む。

【0 1 1 4】

VDC 回路 9 3 は、VDC 制御回路 2 5 から電位降下の指示を受けたときに、外部電源電位を降下して内部電源電位を生成して出力し、電位降下の指示を受けていないときには、外部電源電位をそのまま内部電源電位として出力する。

【0 1 1 5】

VDC 制御回路 2 5 は、温度検出回路 2 1 g から送られてくる温度データに基づいて、VDC 回路 9 3 の電位降下を制御する。すなわち、VDC 制御回路 2 5 は、温度データが所定値以上の温度を示す場合には、消費電流が大きくなり、トランジスタに過電流が流れて、トランジスタが破壊されることがあるので、VDC 回路 9 3 に電圧降下を行なわせる。

【0 1 1 6】

以上のように、本実施の形態に係るマイクロコンピュータによれば、温度検出

回路により検出された温度が大きいときに、内部電源電位が降下されるので、マイクロコンピュータ内部の回路の破壊を防止することができる。

【0 1 1 7】

なお、本実施の形態では、温度検出回路として第 7 の実施形態に係る温度検出回路を用いたが、これに限定するものではなく、第 1 ～第 6 の実施形態に係る温度検出回路であってもよい。

【0 1 1 8】

なお、第 2 の実施形態におけるレジスタは、第 3 ～第 7 の実施形態において用いることができる。

【0 1 1 9】

また、第 3 および第 4 の実施形態における外部回路と内部回路の分離方法は、第 2、第 5 ～第 7 の実施形態において用いるものとしてもよい。

【0 1 2 0】

第 5 の実施形態におけるデジタルフィルタは、第 2 ～第 4 の実施形態において用いるものとしてもよい。

【0 1 2 1】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 2 2】

【発明の効果】

この発明に係わる半導体集積回路によれば、温度検出回路は、少なくとも 1 つの立ち上がりまたは立ち下がり部分を有する第 1 の信号を出力する信号出力回路と、複数段のインバータからなり、第 1 の信号を遅延させた遅延信号を出力する遅延回路と、第 1 の信号と、遅延信号とが入力される論理回路と、論理回路の出力信号のパルス幅が、検出したい温度に対応する所定のパルス幅以上のときにアサートとなる信号を出力するパルス幅測定回路と、パルス幅測定回路の出力信号をラッチするラッチ回路とを備え、パルス幅測定回路は、論理回路の出力信号が

入力される積分回路と、積分回路の出力信号が入力されるシュミットトリガ回路とを含み、シュミットトリガ回路のトリガ電位が所定のパルス幅に応じた値に設定されているので、簡易な構成で温度を検出することができる。

【図面の簡単な説明】

【図 1】 第 1 の実施形態に係るマイクロコンピュータの構成を示す図である。

【図 2】 第 1 の実施形態に係る温度検出回路の構成を示す図である。

【図 3】 第 1 の実施形態に係るパルス幅測定回路の構成を示す図である。

【図 4】 (a) は、温度変化が小さいときの各信号または電位の変化を示す図であり、(b) は、温度変化が大きいときの各信号または電位の変化を示す図である。

【図 5】 第 2 の実施形態に係る温度検出回路の構成を示す図である。

【図 6】 各信号または電位の変化を示す図である。

【図 7】 第 3 の実施形態に係る温度検出回路の構成を示す図である。

【図 8】 第 4 の実施形態に係る温度検出回路の構成を示す図である。

【図 9】 第 5 の実施形態に係る温度検出回路の構成を示す図である。

【図 1 0】 第 6 の実施形態に係る温度検出回路の構成を示す図である。

【図 1 1】 (a) は、温度変化が小さいときにラッチ回路 6 a ~ n にラッチされている信号の値を示す図であり、(b) は、温度変化が大きいときにラッチ回路 6 a ~ n にラッチされている信号の値を示す図である。

【図 1 2】 第 7 の実施形態に係る温度検出回路の構成を示す図である。

【図 1 3】 第 8 の実施形態に係るマイクロコンピュータの構成を示す図である。

【図 1 4】 第 9 の実施形態に係るマイクロコンピュータの構成を示す図である。

【図 1 5】 第 1 0 の実施形態に係るマイクロコンピュータの構成を示す図である。

【図 1 6】 第 1 1 の実施形態に係るマイクロコンピュータの構成を示す図である。

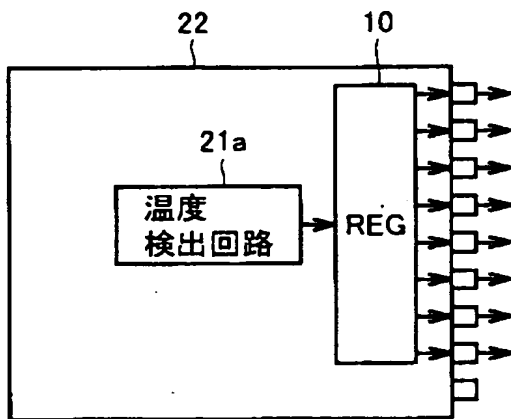
【図 17】 第 12 の実施形態に係るマイクロコンピュータの構成を示す図である。

【符号の説明】

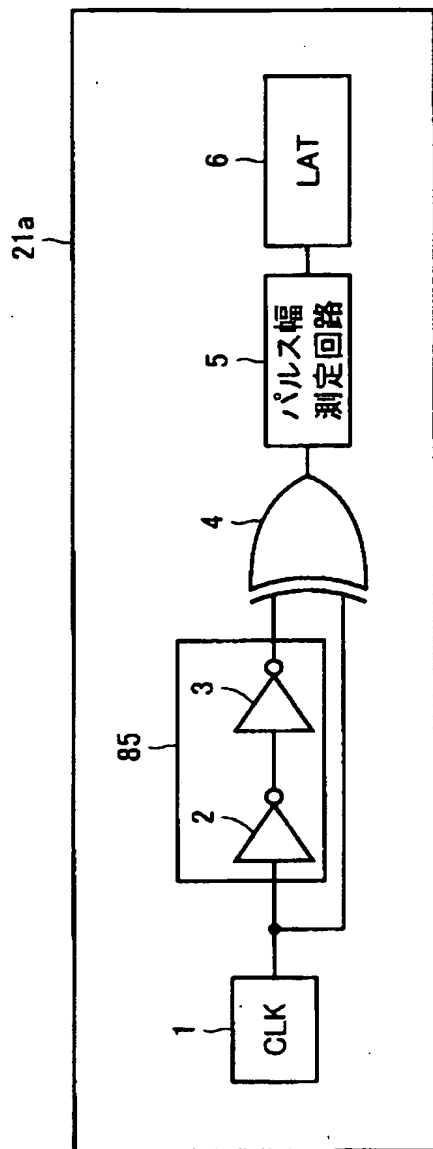
1 クロック分周回路、2, 3 インバータ、4, 4a~n EXOR回路、5, 5a~n パルス幅測定回路、6, 6a~n ラッチ回路、7a~n スイッチ、10, 12 レジスタ、11 デジタルフィルタ、16, 85a~n 遅延回路、19 リセット制御回路、20 割込み制御回路、23 UART回路、24 分周制御回路、25 VDC制御回路、21a, 21g, 21b, 21e, 21c, 21d 温度検出回路、22, 32, 42, 52, 62, 72 マイクロコンピュータ、84, 86 温度特定回路、93 VDC回路、95 クロック分周回路。

【書類名】 図面

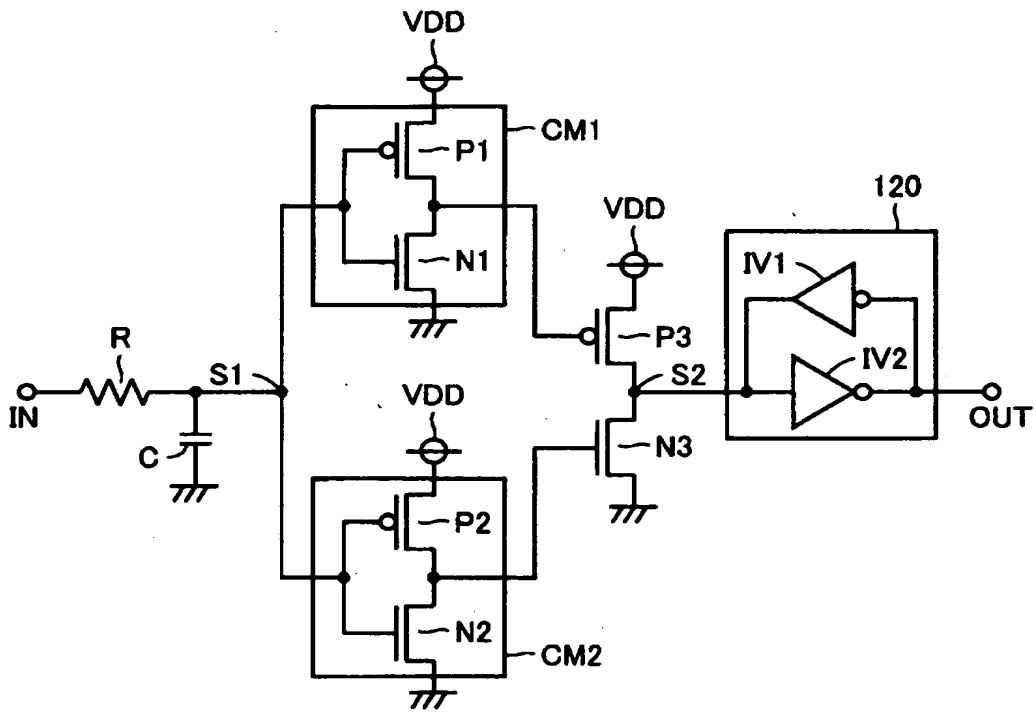
【図 1】



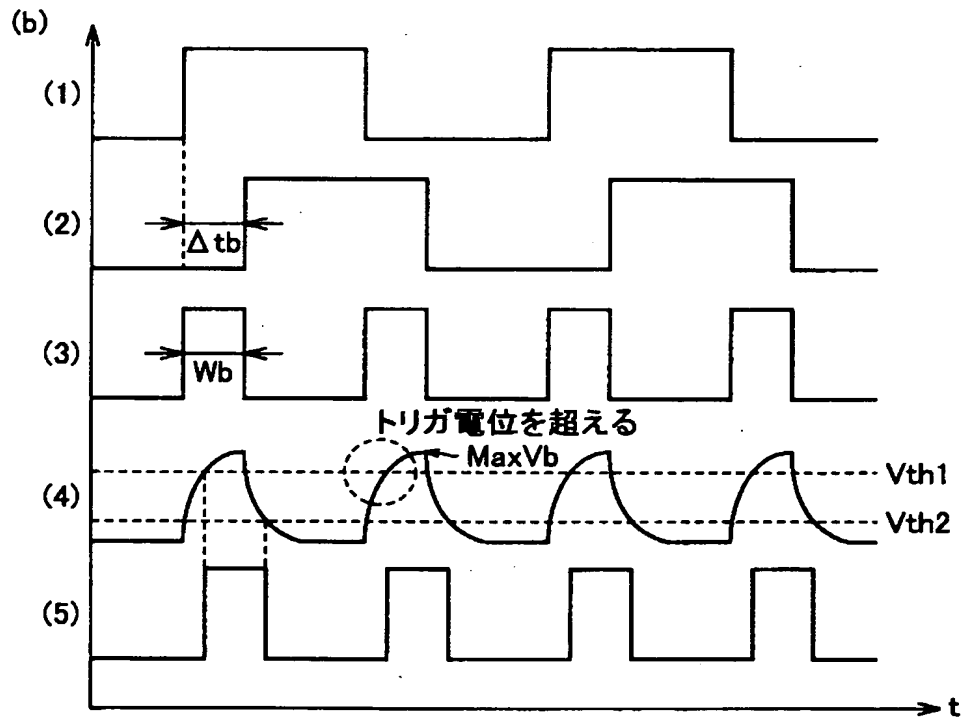
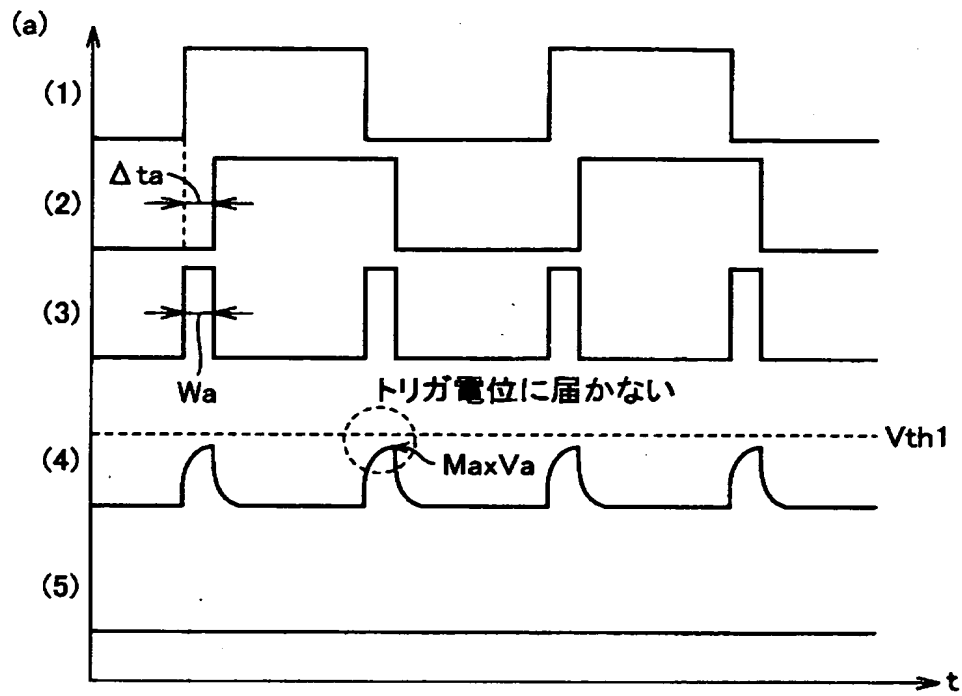
【図2】



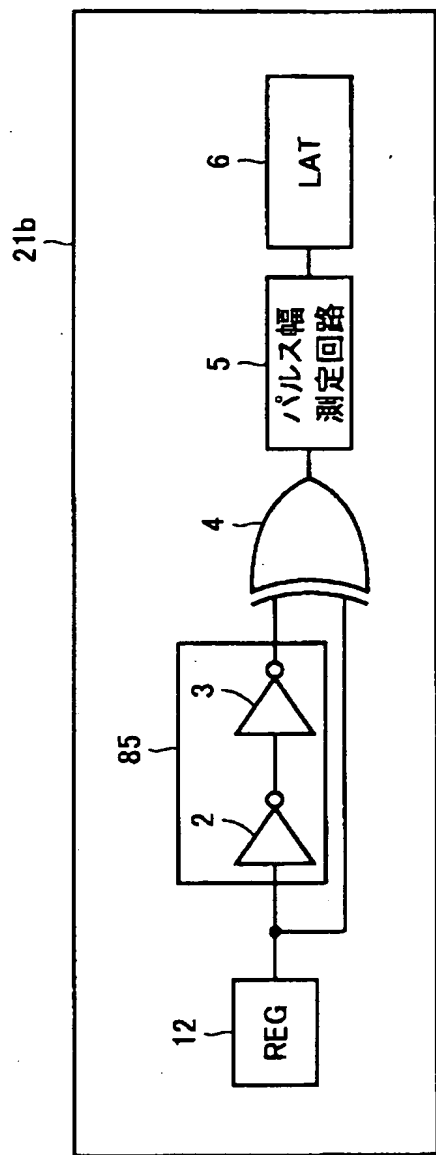
【図 3】



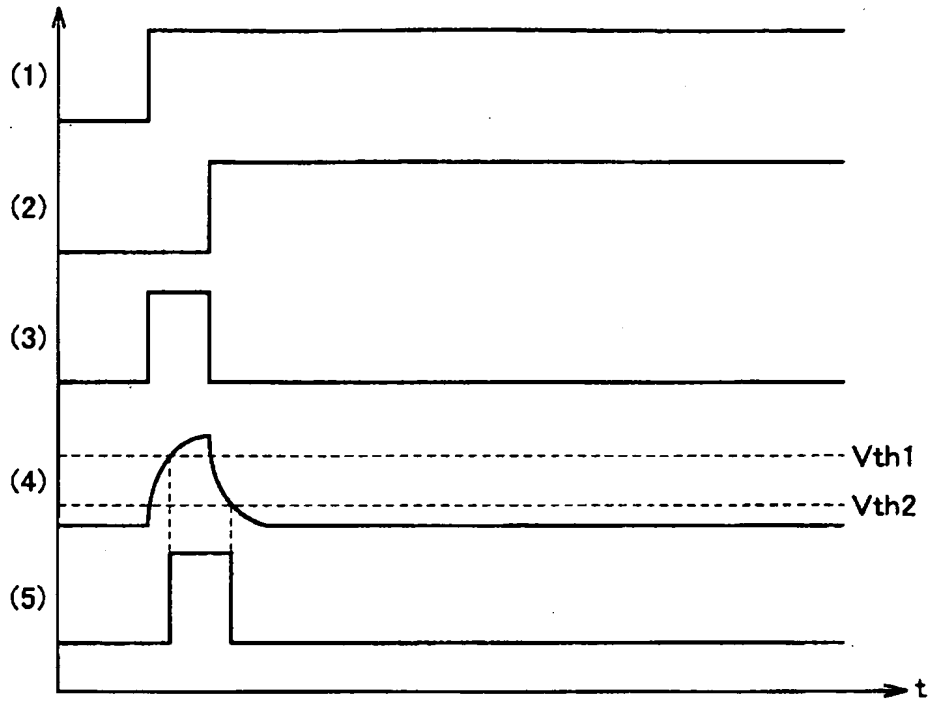
【図 4】



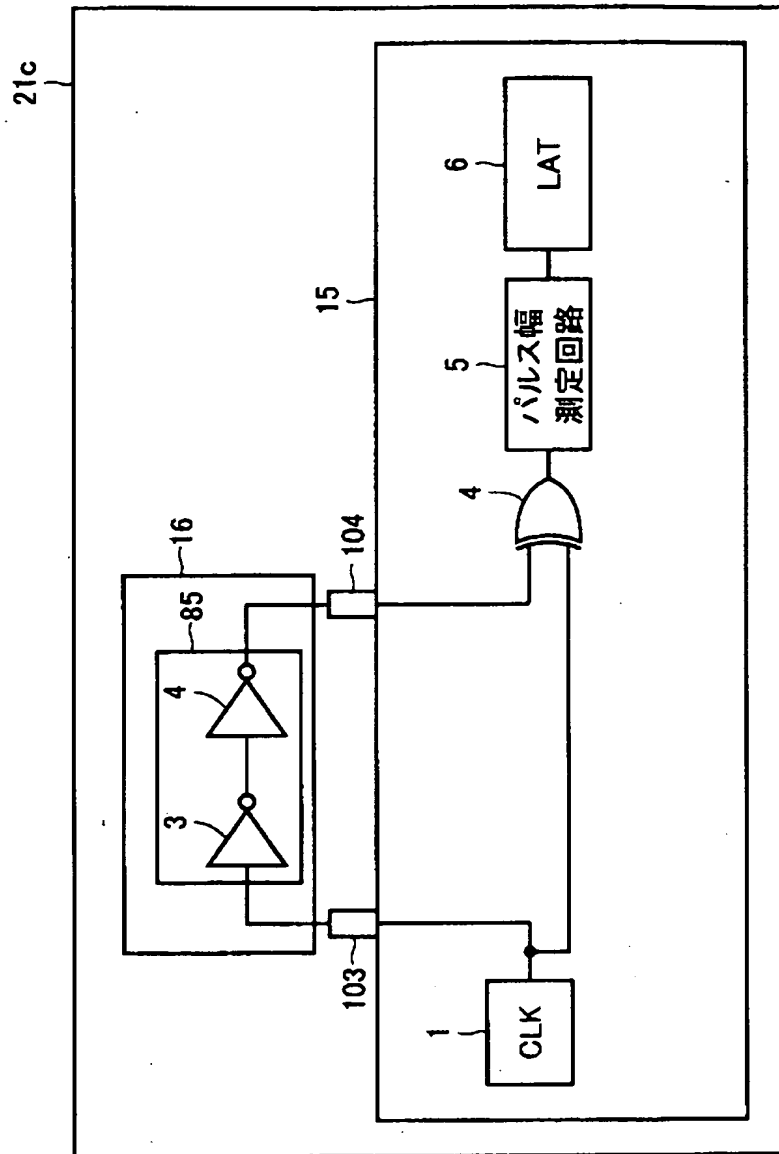
【図 5】



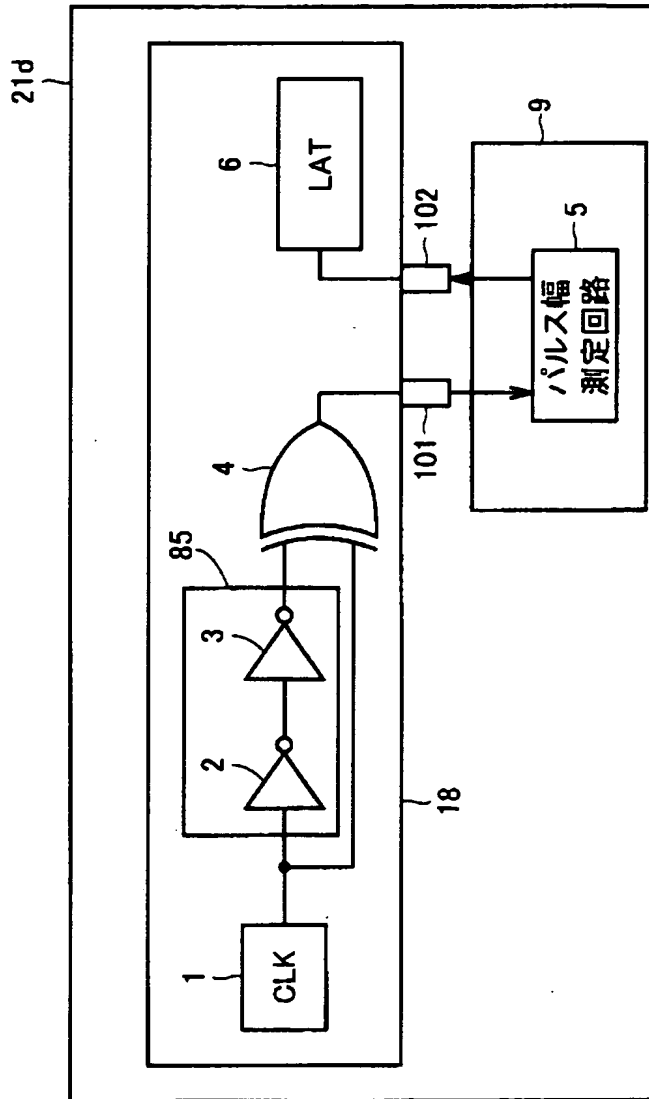
【図 6】



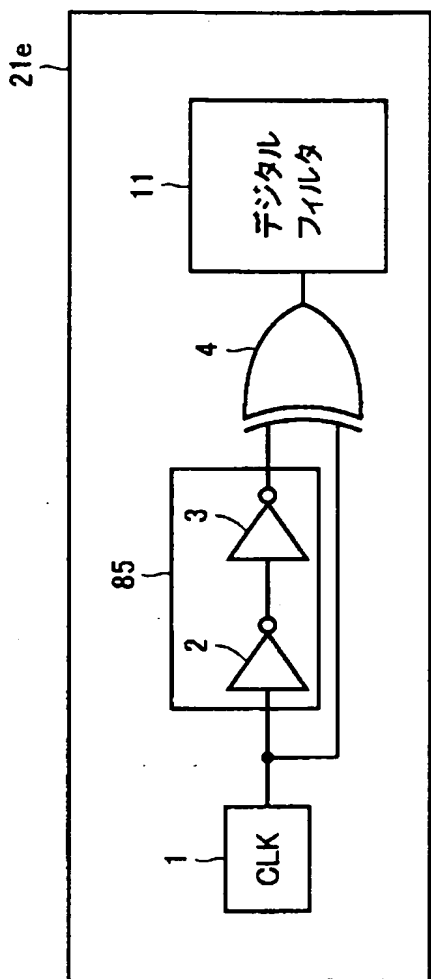
【図 7】



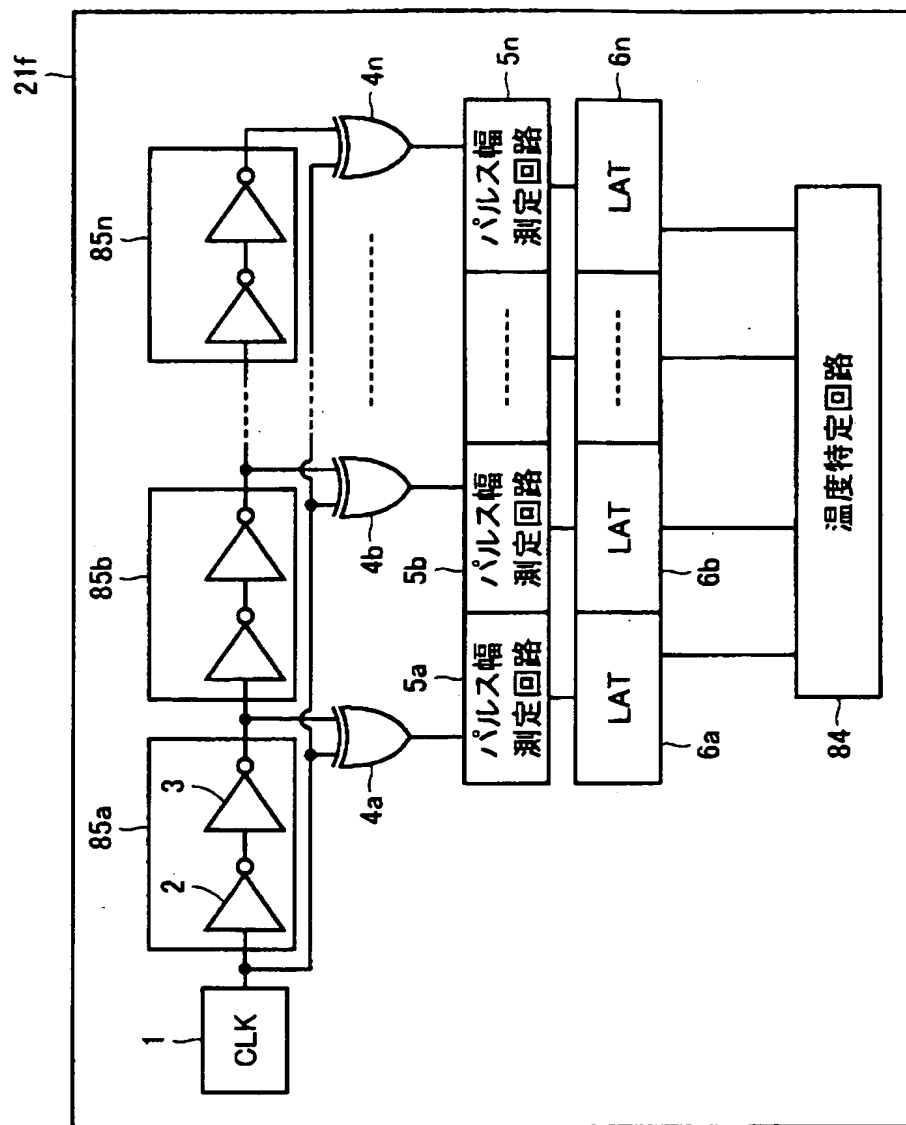
【図 8】



【図 9】



【図 10】



【図 11】

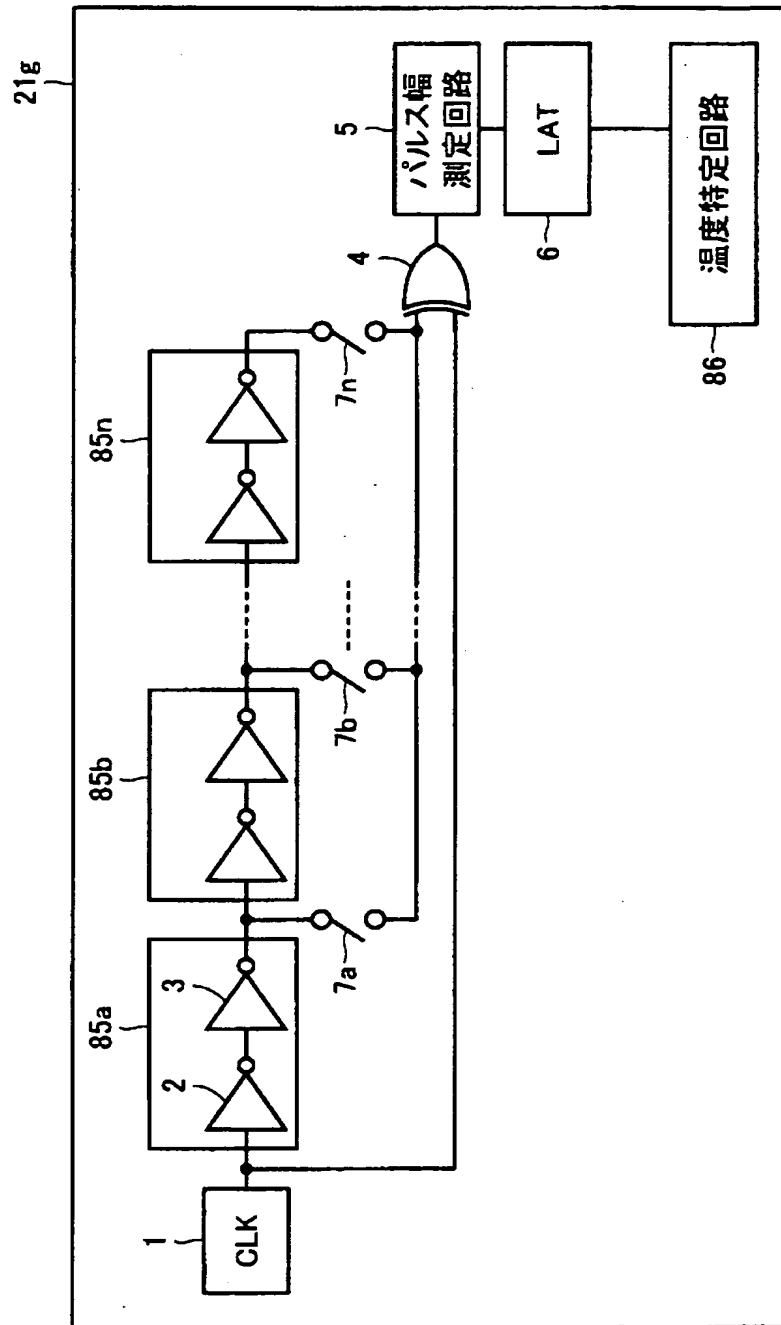
(a)

ラッチ回路	保持信号の値
ラッチ回路6a	L
ラッチ回路6b	L
ラッチ回路6c	L
ラッチ回路6d	H
・	・
・	・
・	・
ラッチ回路6m	H
ラッチ回路6n	H

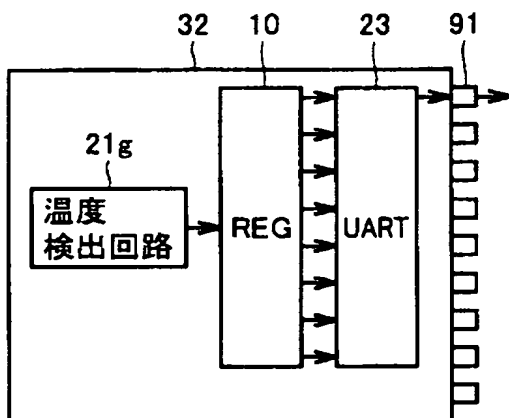
(b)

ラッチ回路	保持信号の値
ラッチ回路6a	L
ラッチ回路6b	H
ラッチ回路6c	H
ラッチ回路6d	H
・	・
・	・
・	・
ラッチ回路6m	H
ラッチ回路6n	H

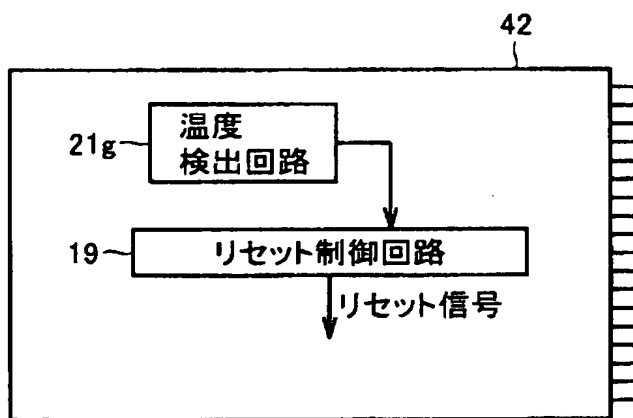
【図 12】



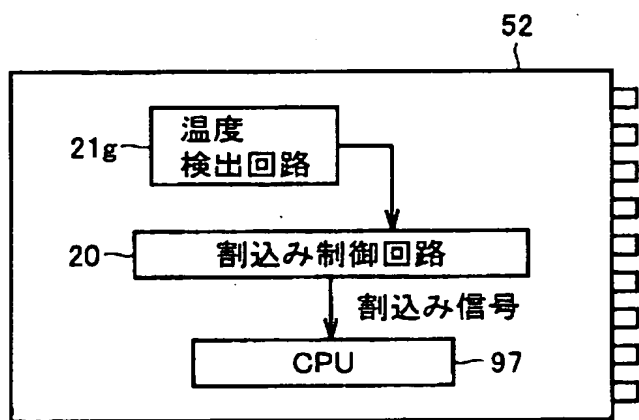
【図 13】



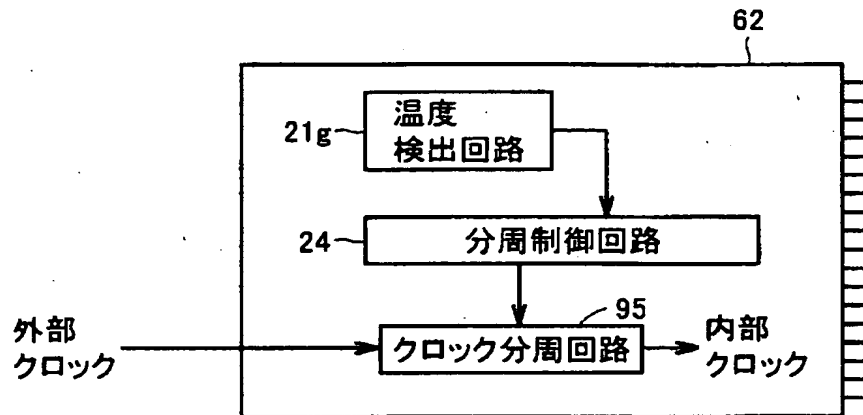
【図 14】



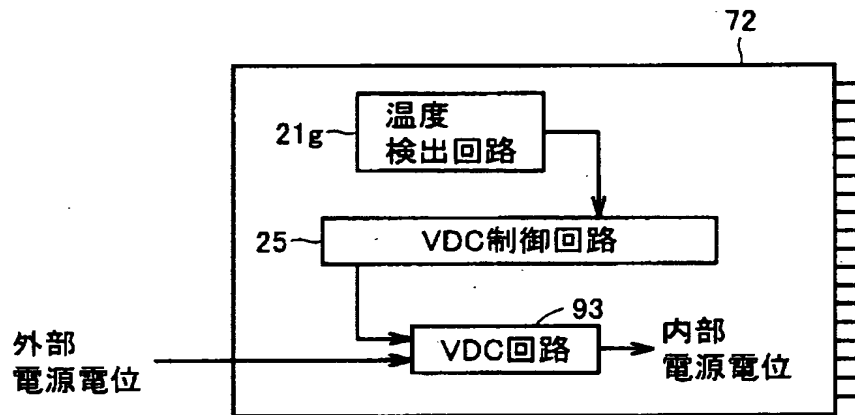
【図 15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 簡易な構成で温度を検出することができる半導体集積回路を提供することである。

【解決手段】 クロック分周回路 1 は、分周クロックを出力する。遅延回路 8 5 は、少なくとも 1 つのインバータからなり、分周クロックを遅延させた遅延分周クロックを出力する。E X O R 回路 4 は、分周クロックと、遅延分周クロックとが入力される。パルス幅測定回路 5 は、論理回路の出力信号が入力される積分回路と、積分回路の出力信号が入力されるシュミットトリガ回路とを含む。シュミットトリガ回路のトリガ電位が所定のパルス幅に応じた値に設定されているので、パルス幅測定回路 5 は、論理回路の出力信号のパルス幅が所定値以上のときにアサートとなる信号を出力する。ラッチ回路 6 は、パルス幅測定回路 5 の出力信号をラッチする。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社